

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

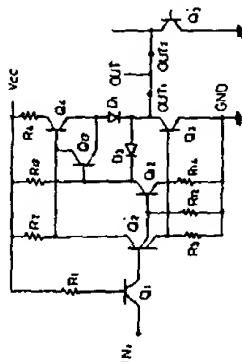
01845812 **Image available**
TTL CIRCUIT

PUB. NO.: 61-059912 A]
PUBLISHED: March 27, 1986 (19860327)
INVENTOR(s): YASUDA YASUSHI
OBA OSAMU
TAWARA AKINORI
ENOMOTO HIROSHI
KUMAGAI MASAO
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 59-180640 [JP 84180640]
FILED: August 31, 1984 (19840831)
INTL CLASS: [4] H03K-019/088
JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)
JOURNAL: Section: E, Section No. 425, Vol. 10, No. 224, Pg. 60, August
05, 1986 (19860805)

ABSTRACT

PURPOSE: To attain wired logical operation by providing a transistor (TR) cutting off an off-buffer (TR) of other TTL circuit when an output of one TTL circuit is at a low level.

CONSTITUTION: When an output OUT(sub 2) of one TTL circuit is at a low level and an input IN(sub 1) of the other TTL circuit is at a low level, a TRQ(sub 1) is conductive a base current of a TRQ(sub 2)' is pulled down to the low level, the TRQ(sub 2)' is turned off, both TRs Q(sub 12) and Q(sub 3) are cut off and the base potential of the TRs Q(sub 4), Q(sub 13) is at a high level. Thus, a switching TRQ(sub 13) cutting off the pull-up TRQ(sub 4) is turned on, a base and an emitter of the TRQ(sub 4) are short-circuited to bypass the base current. Thus, even if the output OUT(sub 1) is at a high level and the OUT(sub 2) is at a low level, a large current flowing from a power supply VCC to the output OUT(sub 1) is prevented to attain the wired logic operation.



DIALOG(R)File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

004618211

WPI Acc No: 1986-121555/198619

TTL circuit including totem-pole output - has pull-up transistor cutting
switch closed according to voltage between controller and output terminal

NoAbstract Dwg 7/7

Patent Assignee: FUJITSU LTD (FUIT)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 61059912	A	19860327	JP 84180640	A	19840831	198619 B

Priority Applications (No Type Date): JP 84180640 A 19840831

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 61059912	A		4		

Title Terms: TTL; CIRCUIT; TOTEM; POLE; OUTPUT; PULL; UP; TRANSISTOR; CUT;
SWITCH; CLOSE; ACCORD; VOLTAGE; CONTROL; OUTPUT; TERMINAL; NOABSTRACT

Derwent Class: U13; U21

International Patent Class (Additional): H03K-019/08

File Segment: EPI

Manual Codes (EPI/S-X): U13-C01; U21-C01A

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2000 EPO. All rts. reserv.

5475970

Basic Patent (No,Kind,Date): JP 61059912 A2 860327 <No. of Patents: 001>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 61059912	A2	860327	JP 84180640	A	840831 (BASIC)

Priority Data (No,Kind,Date):

JP 84180640 A 840831

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 61059912 A2 860327

TTL CIRCUIT (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): YASUDA YASUSHI; OBA OSAMU; TAWARA AKINORI; ENOMOTO
HIROSHI; KUMAGAI MASAO

Priority (No,Kind,Date): JP 84180640 A 840831

Applic (No,Kind,Date): JP 84180640 A 840831

IPC: * H03K-019/088

Derwent WPI Acc No: * G 86-121555

JAPIO Reference No: * 100224E000060

Language of Document: Japanese

⑫ 公開特許公報(A) 昭61-59912

⑬ Int. Cl.
H 03 K 19/088識別記号 庁内整理番号
8326-5J

⑭ 公開 昭和61年(1986)3月27日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 TTL回路.

⑯ 特 願 昭59-180640

⑰ 出 願 昭59(1984)8月31日

⑱ 発 明 者	保 田 康	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	大 場 収	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	田 原 昭 紀	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	榎 本 宏	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	熊 谷 正 雄	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
⑳ 代 理 人	弁理士 青 木 朗	外3名	

明 細 書

1. 発明の名称

TTL回路

2. 特許請求の範囲

1. インバータトランジスタとプルアップ用トランジスタとを有するトーテムポール形出力回路部、該インバータトランジスタと該プルアップ用トランジスタに互に逆相の駆動信号を供給する位相反転回路部、該インバータトランジスタと略同相で動作する制御回路部、および該制御回路部の出力と出力端子間の電圧に応じて導通し該プルアップ用トランジスタをカットオフするスイッチングトランジスタを具備することを特徴とするTTL回路。

2. 該スイッチングトランジスタは該プルアップ用トランジスタよりも遅延して導通することを特徴とする特許請求の範囲第1項に記載のTTL回路。

3. 該位相反転回路部はマルチエミッタトランジスタであってそのコレクタ出力によって該プル

アップトランジスタを駆動し、第1のエミッタ出力によって該インバータトランジスタを駆動し、第2のエミッタ出力によって該制御トランジスタを駆動し、第2のインバータトランジスタのコレクタ出力によって該スイッチングトランジスタを駆動することを特徴とする特許請求の範囲第1項または第2項に記載のTTL回路。

4. 該位相反転回路部は第1のトランジスタおよび第1のダイオードを有し、該第1のダイオードのアノードによって該プルアップ用トランジスタを駆動し該第1のトランジスタのコレクタ出力によって該スイッチングトランジスタを駆動することを特徴とする特許請求の範囲第1項または第2項に記載のTTL回路。

5. 該位相反転回路部は第1のトランジスタおよび第1のダイオード、第1および第2の容量を有し、該第1のトランジスタのコレクタ出力によって該プルアップ用トランジスタを駆動し、該第1のダイオードのアノードによって該スイッチングトランジスタを駆動することを特徴とする特

許請求の範囲第1項または第2項に記載のTTL回路。

6. 該位相反転回路は略同相で動作する第1および第2のトランジスタを有し、該第1のトランジスタのコレクタ出力によって該プルアップトランジスタを駆動し、該第2のトランジスタは制御トランジスタとしても動作しエミッタ出力によって該インバータトランジスタを駆動するとともにコレクタ出力により該スイッチングトランジスタを駆動することを特徴とする特許請求の範囲第1項または第2項に記載のTTL回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、TTL回路に關し、特にオフバツファ回路を有するいわゆるトーテムポール型出力回路を備えたワイヤード論理動作を可能としたTTL回路に關する。

(従来の技術)

第6図は、従来形のTTL回路の1例を示す。同図の回路は、入力トランジスタ Q_1 、位相反転回

ところで、第6図に示すTTL回路において、ワイヤード論理動作を行なうためその出力 OUT_1 を他の同様のTTL回路の出力 OUT_2 と接続した場合を考える。この場合、2つの出力 OUT_1 および OUT_2 が共に高レベルまたは低レベルの場合は問題はないが、一方の出力例えば OUT_1 が高レベルであって、他方の出力 OUT_2 が低レベルの場合、すなわちトランジスタ Q_1 がオン状態でありかつ他のTTL回路のインバータトランジスタ Q_2 がオンである場合には、電源 V_{cc} から抵抗 R_1 、トランジスタ Q_1 、ダイオード D_1 、各出力端子 OUT_1 、 OUT_2 、およびトランジスタ Q_2 の経路で大電流が流れるためワイヤード論理動作を行なわせることが不可能となる。すなわち、この場合に流れる電流はいわゆるIOS、すなわちTTL回路において出力が高レベルの状態では出力端子を短絡した場合の電流、に相当する大電流となり、各出力トランジスタの破壊を生じ、あるいは出力端子の電圧が不安定な状態となる等の不都合があった。

第7図は、従来形のTTL回路の他の例を示す。

同図の回路は、いわゆる低消費電力型のTTL回路であって、トランジスタ Q_1 、 Q_2 、…、 Q_{11} 、ダイオード D_1 、および抵抗 R_1 、 R_2 、…、 R_{11} 等によって構成される。

第7図の回路において、入力端子 IN_1 の電位が低レベルの場合はダイオード D_1 を介してトランジスタ Q_1 のベース電位が低レベルに引き下げられ該トランジスタ Q_1 がオフとなる。したがって、トランジスタ Q_{11} 、 Q_{10} が共にオフ、トランジスタ Q_1 および Q_2 が共にオンとなって出力端子 OUT_1 が高レベルとなる。これに対して入力端子 IN_1 が高レベルの場合はトランジスタ Q_1 がオンとなってトランジスタ Q_1 のベース電位を高レベルに引き上げる。したがって、該トランジスタ Q_1 がオンとなりトランジスタ Q_{10} がオン、かつトランジスタ Q_1 および Q_2 が共にオフとなって出力端子 OUT_1 が低レベルとなる。なお、ダイオード D_1 は入力端子 IN の電位が高レベルから低レベルに変化した場合にトランジスタ Q_1 のベース電位を急速に放電させるものであり、トランジスタ

Q_1 は入力端子 IN_1 の電位が低レベルから高レベルに変化した場合にオンとなってトランジスタ Q_1 のベース電位を急速に高レベルに引き上げる動作を行なうものである。また、トランジスタ Q_{11} は、入力端子 IN_1 の電位が高レベルから低レベルに変化する時にインバータトランジスタ Q_{11} のベース電位を急速に放電するためのものである。

第7図に示す TTL 回路においても、その出力端子 OUT_1 を他の TTL 回路の出力端子 OUT_2 と接続してワイヤード論理動作を行なう場合には前述と同様の不都合が生ずる。すなわち、例えば、トランジスタ Q_1 、および Q_2 が共にオン状態でありかつ他の TTL 回路のインバータトランジスタ Q_{11}' がオンである場合には電圧 V_{cc} から抵抗 R_1 、トランジスタ Q_1 、 Q_2 、各出力端子 OUT_1 、 OUT_2 、およびトランジスタ Q_{11}' を介して大電流が流れる。

以上のように、従来形のオフバッファ回路を有する TTL 回路においてはワイヤード論理動作を行なわせることが不可能であった。

尚、上記制御回路部を駆動する駆動信号は、位相反転回路部及び出力回路部から供給される。

(作用)

上述のような構成を用いることにより、出力端子が互いに接続された複数の TTL 回路の1つの出力が低レベルである場合には他の TTL 回路のオフバッファトランジスタがカットオフするように動作し、以ってワイヤード論理動作が実現されると共に出力トランジスタに大電流が流れることが防止される。

(実施例)

以下、図面により本発明の実施例を説明する。

第2図は、本発明の1実施例に係わる TTL 回路を示すものであって、前述の第6図の従来形の回路を改良したものである。第2図の回路は、第6図の回路における位相反転用トランジスタ Q_1 をマルチエミッタトランジスタ Q_1' と置き換えさらにトランジスタ Q_{11} 、 Q_{12} 、およびダイオード D_1 、抵抗 R_{11} 、 R_{12} 、 R_{13} を追加したものである。マルチエミッタトランジスタ Q_1' の一つのエミッタ

(発明が解決しようとする問題点)

本発明は、前述の従来形における問題点に鑑み、オフバッファ回路を有する TTL 回路において、所定の条件下で該オフバッファ回路のトランジスタをカットオフするためのトランジスタを設けるといふ趣に基づき、オフバッファ回路の特徴である高速度性を維持しつつワイヤード論理動作を可能とすることを目的とする。

(問題点を解決するための手段)

本発明によれば、第1図にその構成を示すようにインバータトランジスタとプルアップ用トランジスタとを有するトーテムポール形出力回路部、該インバータトランジスタと該プルアップ用トランジスタに互に逆相の駆動信号を供給する位相反転回路部、該インバータトランジスタと略同相で動作する制御回路部、および該制御回路部の出力と出力端子間の電圧に応じて導通し該プルアップ用トランジスタをカットオフするスイッチングトランジスタを具備することを特徴とする TTL 回路が提供される。

は抵抗 R_1 を介して接地されると共にインバータトランジスタ Q_1 のベースに接続されている。マルチエミッタトランジスタ Q_1' の他のエミッタは抵抗 R_{11} を介して接地されると共にトランジスタ Q_{11} のベースに接続されている。トランジスタ Q_{11} のエミッタは抵抗 R_{12} を介して接地され、コレクタはトランジスタ Q_{11} のベースおよびダイオード D_1 のカソードに接続され、また抵抗 R_{13} を介して電源 V_{cc} に接続されている。ダイオード D_1 のアノードは出力端子 OUT_1 に接続されている。トランジスタ Q_{12} のコレクタおよびエミッタはそれぞれオフバッファ用トランジスタ Q_2 のベースおよびエミッタに接続されている。オフバッファ用トランジスタ Q_2 のベースは前述のマルチエミッタトランジスタ Q_1' のコレクタに接続されている。

第2図の TTL 回路においては、入力端子 IN_1 の電位が低レベルにある場合は、トランジスタ Q_1 がオンしてマルチエミッタトランジスタ Q_1' のベース電位は低レベルとなり、トランジスタ Q_{11}' が

カットオフまた、トランジスタ Q_1 およびトランジスタ Q_{12} のベース電位も低レベルとなって、トランジスタ Q_1 、 Q_{12} は共にカットオフしている。トランジスタ Q_2 、 Q_{12} は共にカットオフしているので、トランジスタ Q_1 、 Q_{12} も共にカットオフ状態となっている。

次に入力端子 IN_1 の電位が低レベルから高レベルに変化するとトランジスタ Q_1 がカットオフし電源 V_{CC} から抵抗 R_1 およびトランジスタ Q_1 のベースコレクタ間回路を介してマルチエミッタトランジスタ Q_2 のベースに電流が流れる。これにより、該トランジスタ Q_2 がオンとなり各エミッタ電位が高レベルとなってトランジスタ Q_{12} および Q_1 が共にオンとなる。また、この時マルチエミッタトランジスタ Q_2 のコレクタ電位が低レベルとなりトランジスタ Q_1 がカットオフする。このトランジスタ Q_1 のカットオフと同時にトランジスタ Q_{12} のコレクタ電位は低レベルとなり、トランジスタ Q_{12} もカットオフする。したがって、出力端子 OUT_1 の電位は低レベルとなる。

れている場合には、双方のTTL回路の出力が共に高レベルあるいは共に低レベルであれば共通の出力端子 OUT の電位がそれぞれ高レベルあるいは低レベルとなることは明らかである。

次に、入力端子 IN_1 の電位が低レベルであって他のTTL回路のインバータトランジスタ Q_2 がオンすなわち出力端子 OUT_1 が低レベルの場合の動作を考察する。この場合には前述のようにマルチエミッタトランジスタ Q_2 がオフとなっておりトランジスタ Q_{12} および Q_1 が共にカットオフ、かつトランジスタ Q_1 およびトランジスタ Q_{12} のベース電位が高レベルとなっている。このため、プルアップ用トランジスタ Q_1 をカットオフするスイッチングトランジスタ Q_{12} がオンとなりトランジスタ Q_1 のベースエミッタ間を短絡しベース電位をバイパスする。これにより、出力端子 OUT_1 の電位が低レベルに保たれると共に電源 V_{CC} から出力端子 OUT_1 に大電流が流れることが防止される。このようにして、第2図のTTL回路はワイヤードアンド動作すなわちワイヤードアンド動作を行なうこ

これに対して、入力端子 IN_1 が高レベルから低レベルに変化する場合にトランジスタ Q_1 がオンとなりトランジスタ Q_2 のベース電位が低レベルに引き下げられて該トランジスタ Q_2 がカットオフする。これにより、マルチエミッタトランジスタ Q_2 の各エミッタの電位が低レベルとなりトランジスタ Q_{12} および Q_1 が共にカットオフする。また、マルチエミッタトランジスタ Q_2 のコレクタが高レベルとなるからトランジスタ Q_1 がオンとなり、トランジスタ Q_2 のコレクタ電位、すなわち出力端子 OUT_1 の電位は急峻に高レベルとなる。次にトランジスタ Q_{12} のコレクタ電位がトランジスタ Q_1 のコレクタ電位に追従して高レベルとなるので、トランジスタ Q_{12} がオンとなり、トランジスタ Q_1 をカットオフする。

なお、トランジスタ Q_1 が完全にカットオフ状態になれば、トランジスタ Q_{12} もカットオフ状態となる。

ところで、第2図のTTL回路の出力端子 OUT_1 が他のTTL回路の出力端子 OUT_2 の出力と接続さ

とが可能となる。

第3図は、本発明の他の実施例に係わるTTL回路を示すものであって前述の第6図の従来形の回路を改良したものである。

第3図の回路は第6図の回路における位相反転用トランジスタ Q_2 のコレクタ側にレベルシフトダイオード D_1 を追加し、さらにトランジスタ Q_{12} および抵抗 R_{12} を追加したものである。

レベルシフトダイオード D_1 のカソードは位相反転用トランジスタ Q_2 のコレクタおよびスイッチングトランジスタ Q_{12} のベースに接続されると共に抵抗 R_{12} を介して電源 V_{CC} に接続されている。レベルシフトダイオード D_1 のアノードはプルアップトランジスタ Q_1 のベースおよびスイッチングトランジスタ Q_{12} のコレクタに接続されると共に抵抗 R_1 を介して電源 V_{CC} に接続されている。スイッチングトランジスタ Q_{12} のエミッタはプルアップトランジスタ Q_1 のエミッタおよびダイオード D_1 のアノードに接続されている。

第3図のTTL回路においては入力端子 IN_1 の電

位が低レベルである場合にはダイオード D_1 がオンとなりトランジスタ Q_1 のベース電位が低レベルであり該トランジスタ Q_1 がカットオフしている。これによりトランジスタ Q_1 のエミッタ電位も低レベルとなって、トランジスタ Q_1 はカットオフしている。またこのときトランジスタ Q_1 のコレクタ電位およびダイオード D_1 のアノード電位は高レベルとなっているがトランジスタ Q_1 がカットオフのため、出力端子 OUT_1 は高レベルとなっているのでトランジスタ Q_1 およびトランジスタ Q_{12} は共にカットオフ状態となっている。

次に入力端子 IN_1 の電位が低レベルから高レベルに変化した場合は、ダイオード D_1 がオフとなり電源 V_{cc} から抵抗 R_1 を介してトランジスタ Q_1 のベースに電流が流れる。これにより該トランジスタ Q_1 がオンとなり、トランジスタ Q_1 のベース電位も高レベルとなってトランジスタ Q_1 もオンとなる。またこのときトランジスタ Q_1 のコレクタ電位が低レベルとなり、同時にダイオード D_1 のアノード電位も低レベルとなってトランジスタ

Q_1 およびトランジスタ Q_{12} は共にカットオフする。したがって出力端子 OUT_1 の電位は低レベルとなる。

これに対して入力端子 IN_1 が高レベルから低レベルに変化した場合には、ダイオード D_1 がオンとなりトランジスタ Q_1 のベース電位が低レベルに引き下げられて該トランジスタ Q_1 がカットオフする。これによりトランジスタ Q_1 のエミッタ電位が低レベルとなり、トランジスタ Q_1 がカットオフする。またトランジスタ Q_1 のコレクタ電位が高レベルとなり、同時にダイオード D_1 のアノード電位も高レベルとなる、このときダイオード D_1 のアノード電位はトランジスタ Q_1 のコレクタ電位よりも早く高レベルとなるのでトランジスタ Q_1 がオンとなり、トランジスタ Q_{12} はカットオフしている。トランジスタ Q_1 がオンとなることでトランジスタ Q_1 のコレクタ電位すなわち出力端子 OUT_1 の電位は急峻に高レベルとなる。

トランジスタ Q_1 が完全にカットオフとなればトランジスタ Q_1 、およびトランジスタ Q_{12} は共

にカットオフとなる。

次に第5図のTTL回路の出力端子 OUT_1 を他のTTL回路の出力端子 OUT_2 と接続してワイヤード論理動作を行なわせる場合につき説明する。両出力端子 OUT_1 、 OUT_2 の電位が同じ場合には共通の出力端子 OUT の電位もこれら各出力端子の電位と同じになる。入力端子 IN_1 が低レベルすなわち、出力端子 OUT_1 が高レベルでありかつ出力端子 OUT_2 が低レベルである場合には前述のようにプルアップ用トランジスタ Q_1 およびスイッチングトランジスタ Q_{12} の各ベース電位は高レベルとなっている。したがって出力端子 OUT_1 の低レベルにより、ダイオード D_1 がオンとなり、トランジスタ Q_1 およびトランジスタ Q_{12} の各エミッタ電位が低レベルとなる。このとき、トランジスタ Q_1 、およびトランジスタ Q_{12} が共にオンしようとするが、トランジスタ Q_{12} のオンがトランジスタ Q_1 のベースエミッタ間を短絡するので該トランジスタ Q_1 はカットオフして、トランジスタ Q_{12} がオンとなる。このようにして、出力端子 OUT の電位

が低レベルに維持され、かつ電源 V_{cc} から出力端子 OUT_1 にトランジスタ Q_1 のオンによる大電流が流れることを防止できる。

第4図は本発明の他の実施例に係わるTTL回路を示すものであって前述の第6図の従来形の回路を改良したものである。

第4図の回路は第6図の回路における位相反転用トランジスタ Q_1 のコレクタ側にダイオード D_1 を追加しさらにトランジスタ Q_{12} および抵抗 R_{12} 、容量 C_1 、 C_2 を追加したものである。

ダイオード D_1 のカソードは位相反転用トランジスタ Q_1 のコレクタおよびプルアップ用トランジスタ Q_2 のベース、さらにスイッチングトランジスタ Q_{12} のコレクタに接続されると共に抵抗 R_1 を介して電源 V_{cc} に接続されている。ダイオード D_1 のアノードはスイッチングトランジスタ Q_{12} のベースに接続されると共に抵抗 R_{12} を介して電源 V_{cc} に接続されている。スイッチングトランジスタ Q_{12} のエミッタはプルアップ用トランジスタ Q_2 のエミッタおよびダイオード D_1 のアノ

ードに接続されている。容量 C_1 は位相反転用トランジスタのコレクタに接続された浮遊容量及び意図的に挿入する容量である。また容量 C_2 はスイッチングトランジスタ Q_{12} のベースに接続された浮遊容量及び意図的に挿入する容量である。

第4図のTTL回路においては入力端子 IN_1 の電位が低レベルである場合にはダイオード D_1 がオンとなりトランジスタ Q_1 のベース電位が低レベルであり、該トランジスタ Q_1 がカットオフしている。これによりトランジスタ Q_1 のエミッタ電位も低レベルとなってトランジスタ Q_2 はカットオフしている。またこのときトランジスタ Q_2 のコレクタ電位およびダイオード D_2 のアノード電位は高レベルとなっているがトランジスタ Q_2 のカットオフのため、トランジスタ Q_2 およびトランジスタ Q_{12} は共にカットオフ状態となっている。

次に入力端子 IN_1 の電位が低レベルから高レベルに変化した場合にはダイオード D_1 がオフとなり、電源から抵抗 R_1 を介してトランジスタ Q_1 のベースに電流が流れるこれにより該トランジスタ Q_1

の電位よりも速く高レベルとなるように時定数を選んでおくことにより、トランジスタ Q_1 がオンとなり、トランジスタ Q_{12} はカットオフしている。トランジスタ Q_1 がオンとなることでトランジスタ Q_2 のコレクタ電位すなわち出力端子 OUT_1 の電位は急峻に高レベルとなる。

トランジスタ Q_2 が完全にカットオフとなればトランジスタ Q_1 、およびトランジスタ Q_{12} は共にカットオフとなる。

次に第4図のTTL回路の出力端子 OUT_1 を他のTTL回路の出力端子 OUT_2 と接続して、ワイヤード論理動作を行なわせる場合につき説明する。

両出力端子 OUT_1 、 OUT_2 の電位が共に同じ場合には共通の出力端子 OUT の電位も、これら各出力端子の電位と同じになる。入力端子 IN_1 が低レベルすなわち出力端子 OUT_1 が高レベルでありかつ出力端子 OUT_2 が低レベルである場合には、前述のようにプルアップ用トランジスタ Q_2 およびスイッチングトランジスタ Q_{12} の各ベース電位は高レベルとなっている。したがって出力端子 OUT_2

がオンとなり、トランジスタ Q_2 のベース電位も高レベルとなって該トランジスタ Q_2 もオンとなる。またこのときトランジスタ Q_2 のコレクタ電位が低レベルとなり、同時にダイオード D_2 のアノード電位も低レベルとなってトランジスタ Q_1 およびトランジスタ Q_{12} は共にカットオフする。したがって出力端子 OUT_1 の電位は低レベルとなる。

これに対して入力端子 IN_1 が高レベルから低レベルに変化した場合にはダイオード D_1 がオンとなりトランジスタ Q_1 のベースが低レベルに引き下げられて、該トランジスタ Q_1 がカットオフする。これによりトランジスタ Q_2 のエミッタ電位が低レベルとなり、トランジスタ Q_2 がカットオフする。

またトランジスタ Q_2 のコレクタ電位は R_1 、 C_1 の時定数により高レベルとなり、同時にダイオード D_2 のアノード電位は R_{12} 、 C_2 の時定数によって高レベルになる。このときダイオード D_1 のアノード電位はトランジスタ Q_2 のコレク

の低レベルによりダイオード D_1 がオンとなり、トランジスタ Q_1 およびトランジスタ Q_{12} の各エミッタ電位が低レベルとなる。このときトランジスタ Q_1 およびトランジスタ Q_{12} が共にオンしようとするがトランジスタ Q_{12} のオンがトランジスタ Q_1 のベースエミッタ間を短絡するので該トランジスタ Q_1 はカットオフして、トランジスタ Q_{12} がオンとなる。このようにして出力端子 OUT_1 の電位が低レベルに維持され、かつ電源 V_{cc} から出力端子 OUT_1 にトランジスタ Q_1 のオンによる大電流の流れることを防止できる。

第5図は、本発明の他の実施例に係わるTTL回路を示す。同図のTTL回路は第7図の従来形のTTL回路を改良したものであり、第7図の回路にさらにトランジスタ Q_{13} 、ダイオード D_3 、 D_4 を追加したものである。第5図の回路においては、オフバツファ回路のトランジスタ Q_3 のベースはダイオード D_4 を介してトランジスタ Q_2 のコレクタによって駆動される。また、トランジスタ Q_1 のコレクタは新たに設けたトランジスタ Q_{13}

のベースに接続され、該トランジスタ Q_{11} のコレクタはトランジスタ Q_1 のベースに接続され、エミッタはダイオード D_1 を介して出力端子 OUT_1 に接続されている。

第5図のTTL回路において、入力端子 IN_1 の電位が、低レベルにある場合には、トランジスタ Q_1 、および Q_7 が共にオフとなり、トランジスタ Q_{11} もオフとなっている。またトランジスタ Q_{11} がカットオフしているため、トランジスタ Q_1 、 Q_7 、 Q_{11} は共にカットオフ状態となっている。

次に入力端子 IN_1 の電位が低レベルから高レベルに変化すると、トランジスタ Q_1 がカットオフするので、電源 V_{cc} から抵抗 R_1 を介してトランジスタ Q_1 のベースに電流が流れる。これにより該トランジスタ Q_1 がオンし、かつトランジスタ Q_7 もオンとなり、 Q_7 のエミッタ電位が高レベルとなって、トランジスタ Q_{11} がオンとなる。またこの時、トランジスタ Q_1 、 Q_7 のコレクタ電位は共に低レベルであるため、トランジスタ Q_1 、 Q_7 、 Q_{11} は共にカットオフとなる。したがって

ところで第5図のTTL回路の出力端子 OUT_1 を他のTTL回路の出力端子 OUT_2 と接続して、ワイヤード論理動作を行なわせる場合、双方のTTL回路の出力が共に高レベル、あるいは共に低レベルであれば、共通の出力端子 OUT の電位がそれぞれ高レベル、あるいは低レベルとなることは明らかである。

次に入力端子 IN_1 の電位が低レベルであり、他のTTL回路のインバータトランジスタ Q_{11}' がオンすなわち出力端子 OUT_2 が低レベルの場合について考察する。

この場合、前述のようにオフバッファ回路のトランジスタ Q_1 のベース電位は高レベルである。したがって、オフバッファ回路の各トランジスタ Q_1 、 Q_7 が共にオン状態に移行せんとするが、この時トランジスタ Q_{11} のベース電位も高レベルにあるため、該トランジスタ Q_{11} がオンとなりトランジスタ Q_1 のベース電流をバイパスするため該トランジスタ Q_1 、および Q_7 はカットオフされることになる。これにより出力端子 OUT の電位が低

出力端子 OUT_1 の電位は低レベルとなる。

これに対して、入力端子 IN_1 が高レベルから低レベルに変化する場合、トランジスタ Q_1 がオンとなり、トランジスタ Q_1 のベース電位が低レベルに引き下げられて、該トランジスタ Q_1 がカットオフし、かつまた、トランジスタ Q_7 もカットオフする。これにより該トランジスタ Q_7 のエミッタ電位が低レベルとなり、トランジスタ Q_{11} をカットオフさせる。またこの時、トランジスタ Q_1 のコレクタ電位は高レベルとなるため、トランジスタ Q_1 、 Q_7 がオンとなり出力端子 OUT_1 の電位を高レベルに引き上げる。

次にトランジスタ Q_7 のコレクタ電位が前記トランジスタ Q_1 のコレクタ電位の立ち上がりよりも若干遅れて高レベルとなり、トランジスタ Q_{11} がオンとなり、トランジスタ Q_1 、 Q_7 をカットオフする。

尚、トランジスタ Q_{11} が完全にカットオフ状態となれば、トランジスタ Q_{11} もカットオフ状態となる。

レベルに維持されかつ電源 V_{cc} から出力端子 OUT_1 に大電流が流れることが防止される。

(発明の効果)

以上のように、本発明によれば、複数のTTL回路の出力を互に接続して動作させた場合、1つのTTL回路の出力が低レベルであれば例え他のTTL回路の出力が高レベルになるべき状態にあっても該TTL回路のオフバッファ用トランジスタがカットオフされる。したがって、オフバッファ回路を有するにも関わらずワイヤード論理動作が可能となり、かつ出力トランジスタに大電流が流れることが防止され信頼性の高い論理回路を実現することが可能になる。

4. 図面の簡単な説明

第1図は本発明の基本構成を示す概念図、第2図から第5図はそれぞれ本発明の実施例に係わるTTL回路を示す電気回路図、そして第6図および第7図はそれぞれ従来形のTTL回路を示す電気回路図である。

Q_1 、 Q_7 、 \dots 、 Q_{11} 、 Q_2' 、 Q_3' 、 Q_{11}' ：ト

レジスタ、 D_1, D_2, \dots, D_8 : ダイオード、
 R_1, R_2, \dots, R_{14} : 抵抗、 C_1, C_2 : 容量。

図 1

特許出願人

富士通株式会社

特許出願代理人

弁護士 青木 朋
 弁護士 西 館 和 之
 弁護士 内 田 幸 男
 弁護士 山 口 昭 之

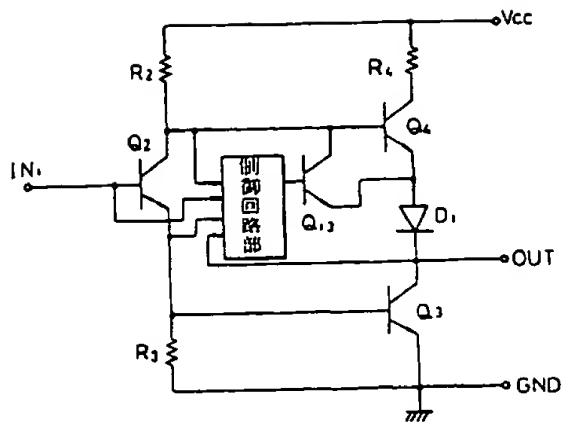


図 2

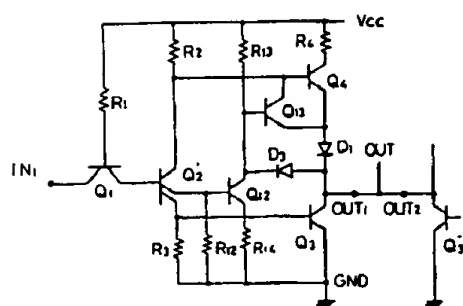


図 4

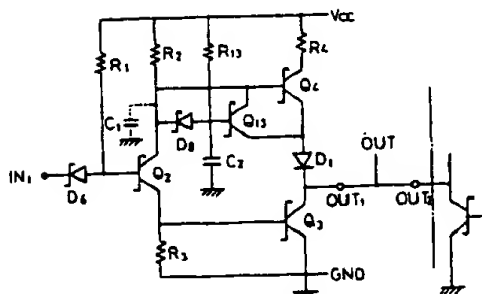


図 3

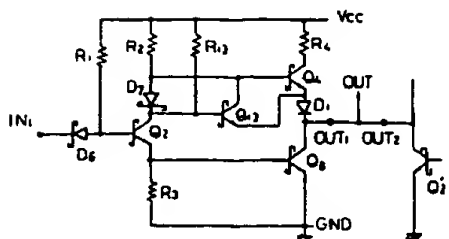
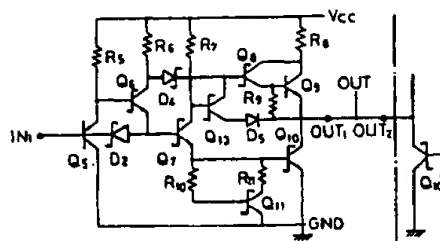
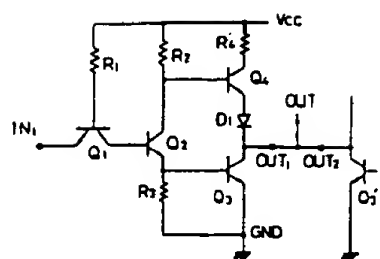


図 5



第 6 圖



第 7 圖

